



# **Rekonfigurierbare Rechnerplattform „Car Infotainment“**

**Dr. Karlheinz Weiss**

**Elektroniksystem- und Logistik-GmbH (ESG)**

**Geschäftsfeld Automotive**

**AT-I**



- Einführung
- FPGA-Architekturen als Basistechnologie
  - Verschiedene Implementierungsalternativen
- Entwurfsmethoden für komplexe eingebettete Systeme
  - Sequentielle Methode
  - Parallele Methode
- Demonstration an Beispiel einer „Car Infotainment Plattform“
- Zusammenfassung
- Ausblick



- Begriff „**Car Infotainment System**“ (alles in einer „Box“):
  - Klassische Audio Geräte: CD, MP3, Radio, Verstärker
  - Navigationssystem
  - Telephon-Modul
- Gemeinsames Mensch Maschinen Interface auf Grafikdisplay
  - Zukünftig: Sprachein- und Ausgabe, DVD/Video
- Vernetzung
  - MOST-Bus (optoelektronisch)
  - CAN
- Telematik-Dienste
  - Internetzugang, z.B. über GSM/GPRS
  - Z.B.: Pannendienst, Online-Hilfe



- Verschmelzung von klassischen Audiofunktionen mit der PC/Internet-Welt
  - Leistungsstarker Rechner mit vielen Schnittstellen
  - Implementierung in ASIC oder FPGA
- Standardisierte Anforderungen sind noch nicht etabliert
  - FPGA-Lösung
    - Time to Market
    - Reduzierung der Entwicklungskosten und des Risikos
    - Anpassung an neue Funktionen



## ■ Anti-Fuse-Technologie

- Logik und Verbindungsleitungen werden „einmalig“ fest vor oder während der Produktion programmiert
- Durchbrennen kleinster Sicherungen (Anti-Fuse)
- Nach Einschalten der Betriebsspannung Funktion vorhanden
- Keine nachträgliche Änderungsmöglichkeit des Chips
- Kein Flashspeicher notwendig
- Kein Upload durch Prozessor notwendig



- SRAM-Basierende Technologie
  - Logik und Verbindungsstruktur wird in SRAM-Zellen gespeichert
  - Konfiguration muss nach Einschalten ( $\mu$ PC) geladen werden
    - zusätzlicher Flashspeicher
  - Möglichkeit der Fehlerbehebung durch Reprogrammierung
    - Während der Entwicklung
    - Im Feld oder Einsatz im Rahmen des Software-Updates
  - Partielle Reprogrammierbarkeit
    - Teile des FPGA-Chips werden zur Laufzeit ausgetauscht



## ■ Compile Time Reconfiguration (CTR)

- Konfigurationsdatensatz wird „einmalig“ geladen
- Programmiert während der Fertigung (Anti-Fuse)
- Programmiert nach Einschalten der Spannung
- Anwendbar auf Anti-Fuse und SRAM-FPGAs
- Am weitesten verbreitet

## ■ Globale Run Time Rekonfiguration (gRTR)

- **Gesamtes Chip** wird während der Laufzeit ausgetauscht
  - z.B. wenn Schaltungen nicht gleichzeitig gebraucht werden
  - Dauer ca. 10ms: Begrenzung des Austauschintervall
  - Anwendbar auf SRAM-FPGAs
  - Erhöhung der Funktionalität pro Chip-Fläche: Senkung der Kosten
  - Partitionierung sehr schwierig: Anwendung dadurch begrenzt.



- **Partielle (Lokale) Run Time Rekonfiguration (pRTR)**
  - **Teilbereiche des Chips** werden während der Laufzeit ausgetauscht, der restliche Teil arbeitet unbeeinflusst weiter
    - z.B. wenn Schaltungen nicht gleichzeitig gebraucht werden
    - Dauer  $\mu$ s-Bereich : wesentliche kürzere Austauschzyklen
    - Wesentlich einfachere Systempartitionierung (feingranularer)
    - Anwendbar auf partiell rekonfigurierbare SRAM-FPGAs
    - Weitere Steigerung der Funktionalität pro Chip-Fläche
    - Zur Zeit: Noch Gegenstand der Forschung
    - Mangelnde Unterstützung durch Entwicklungswerkzeuge

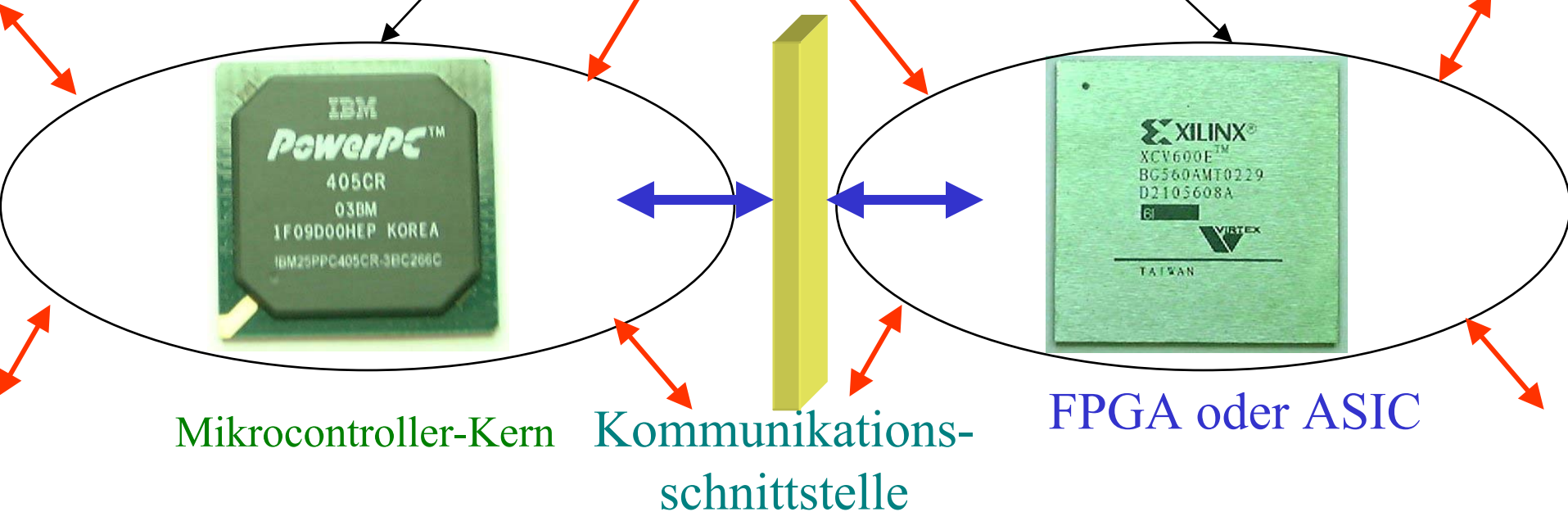


## Car Infotainment Plattform: Eingebettetes System

anwendungsspezifische  
Software

anwendungsspezifische  
Hardware

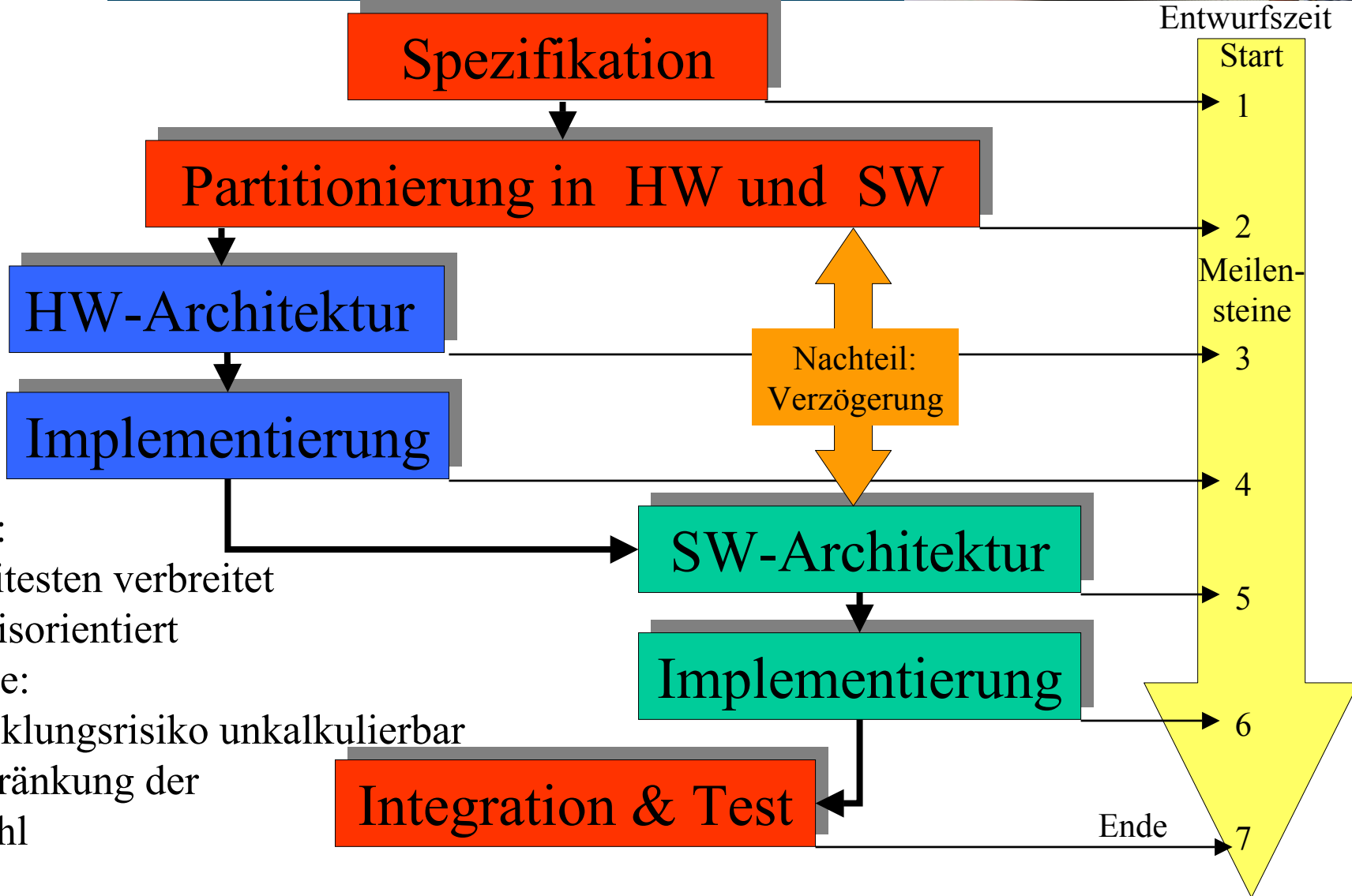
Umwelt



# Allgemein angewendete (sequentielle) Entwurfsmethodik



Entwurfszeit

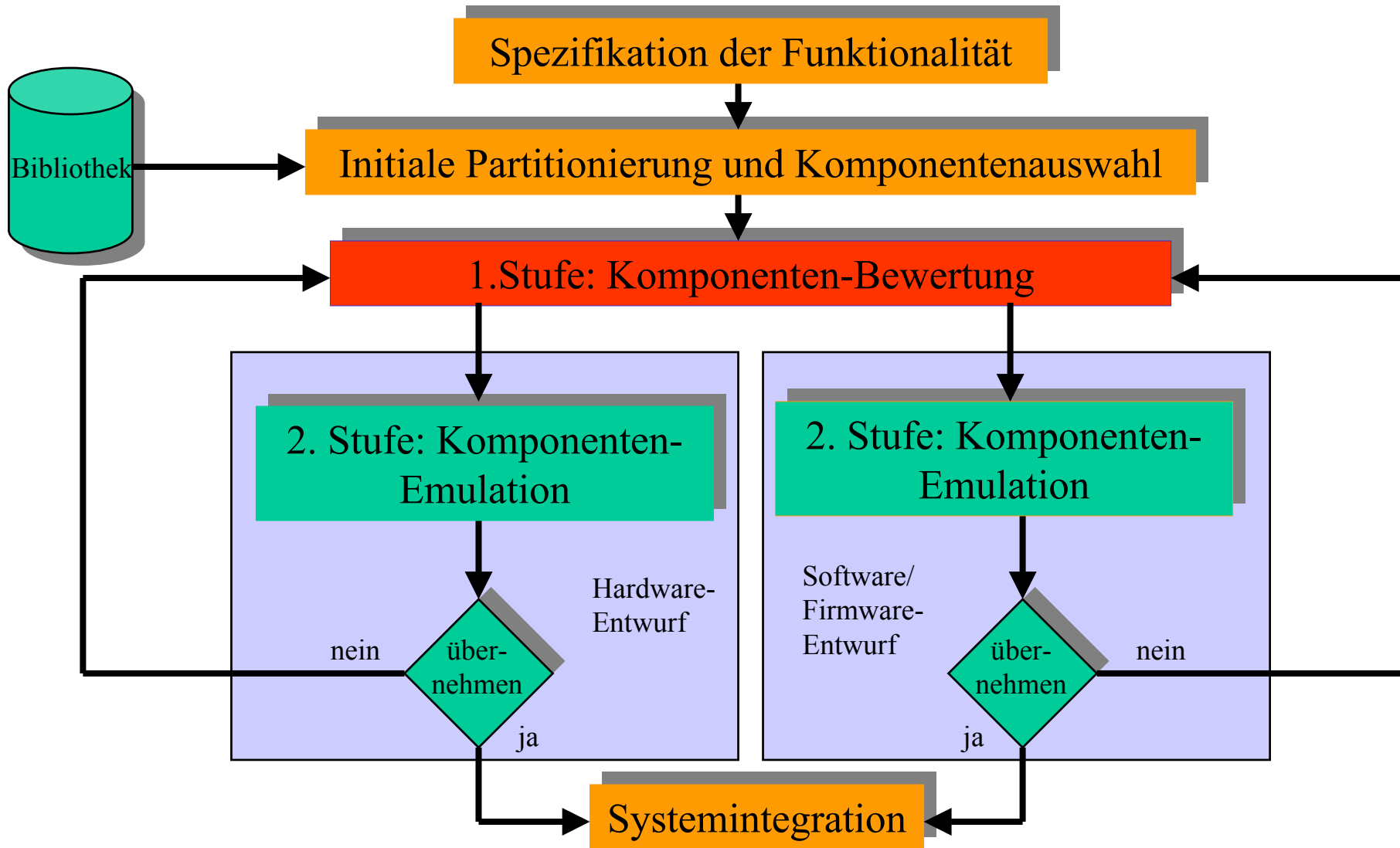


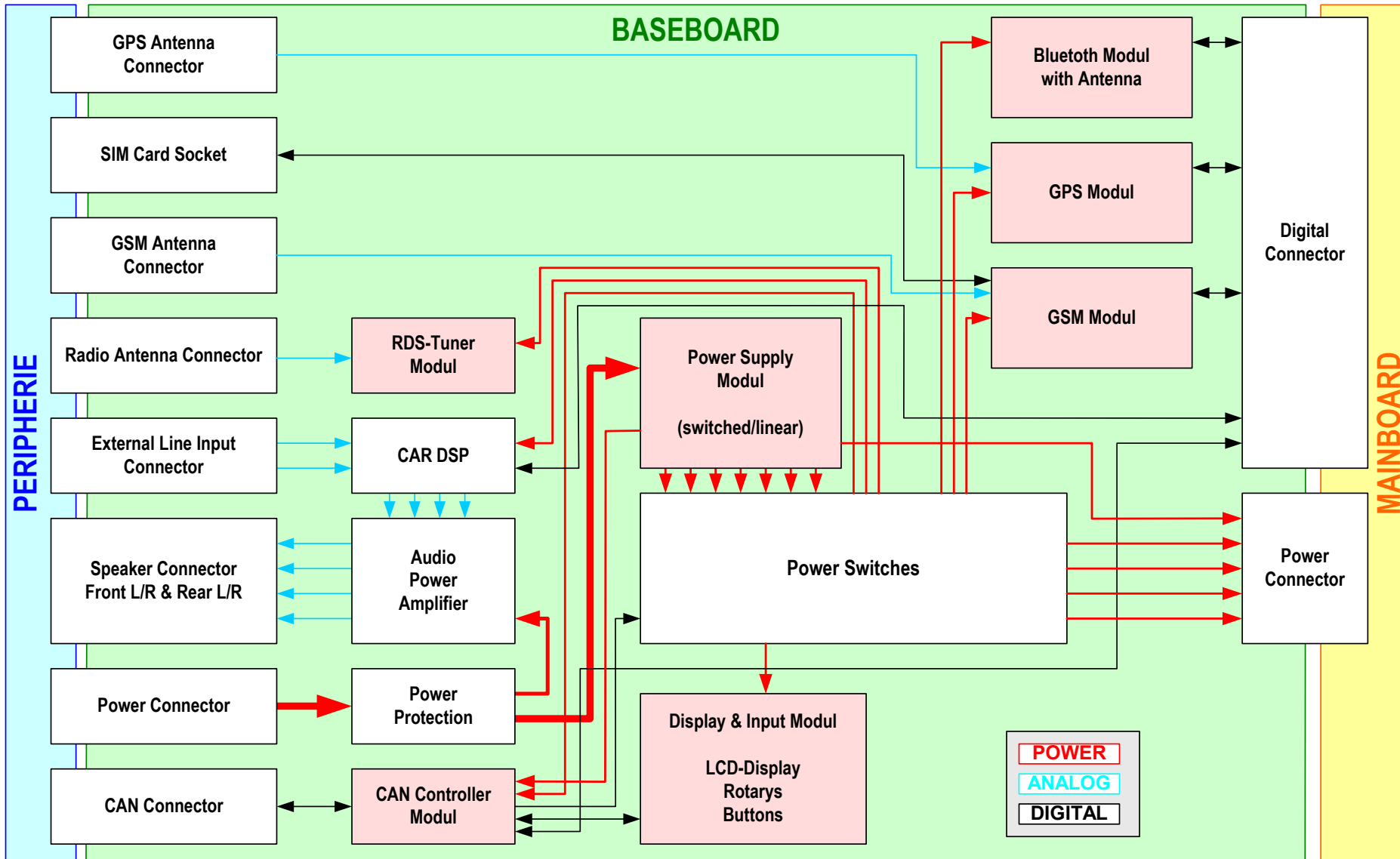
Vorteile:

- am weitesten verbreitet
- ergebnisorientiert

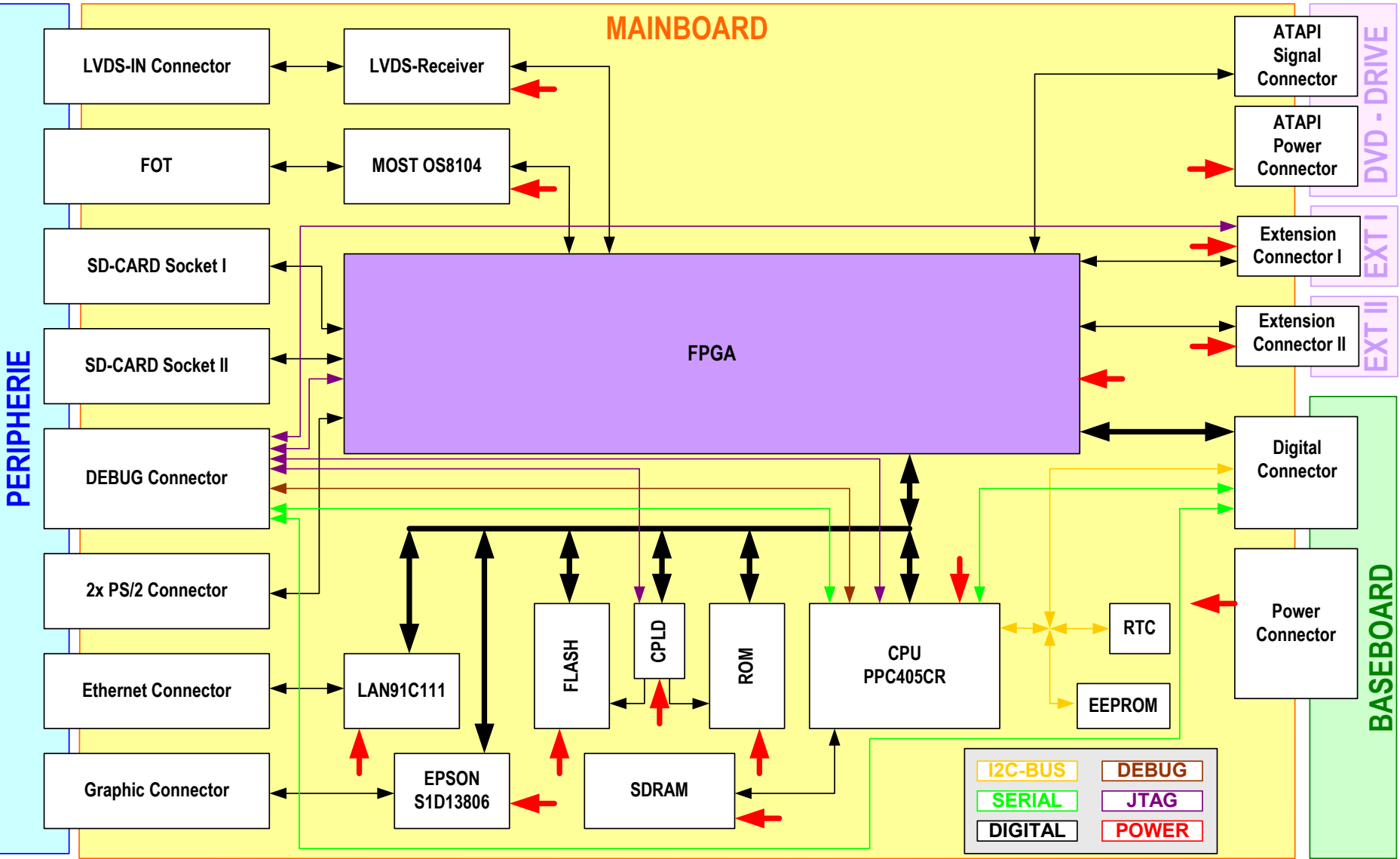
Nachteile:

- Entwicklungsrisiko unkalkulierbar
- Einschränkung der Auswahl

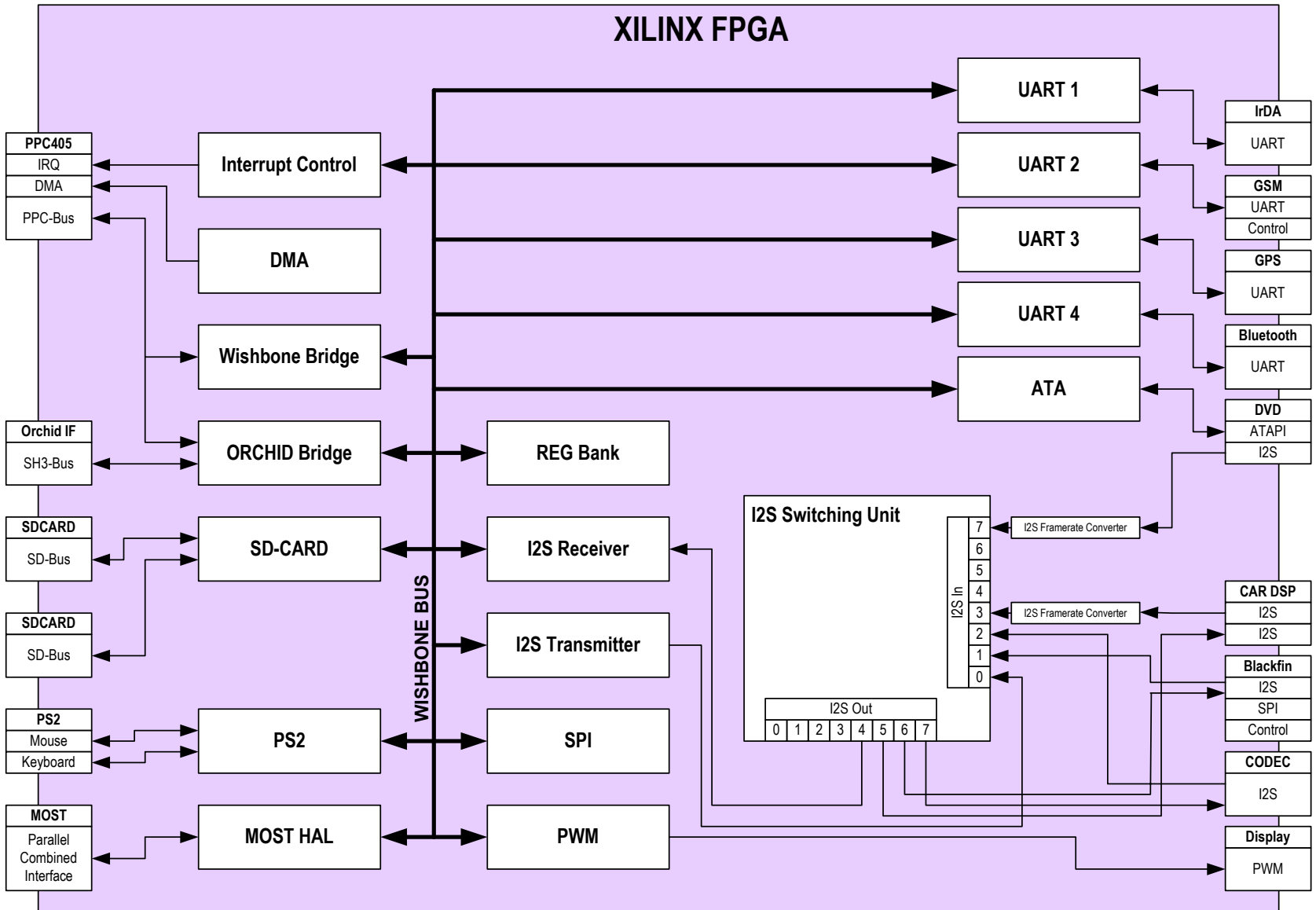


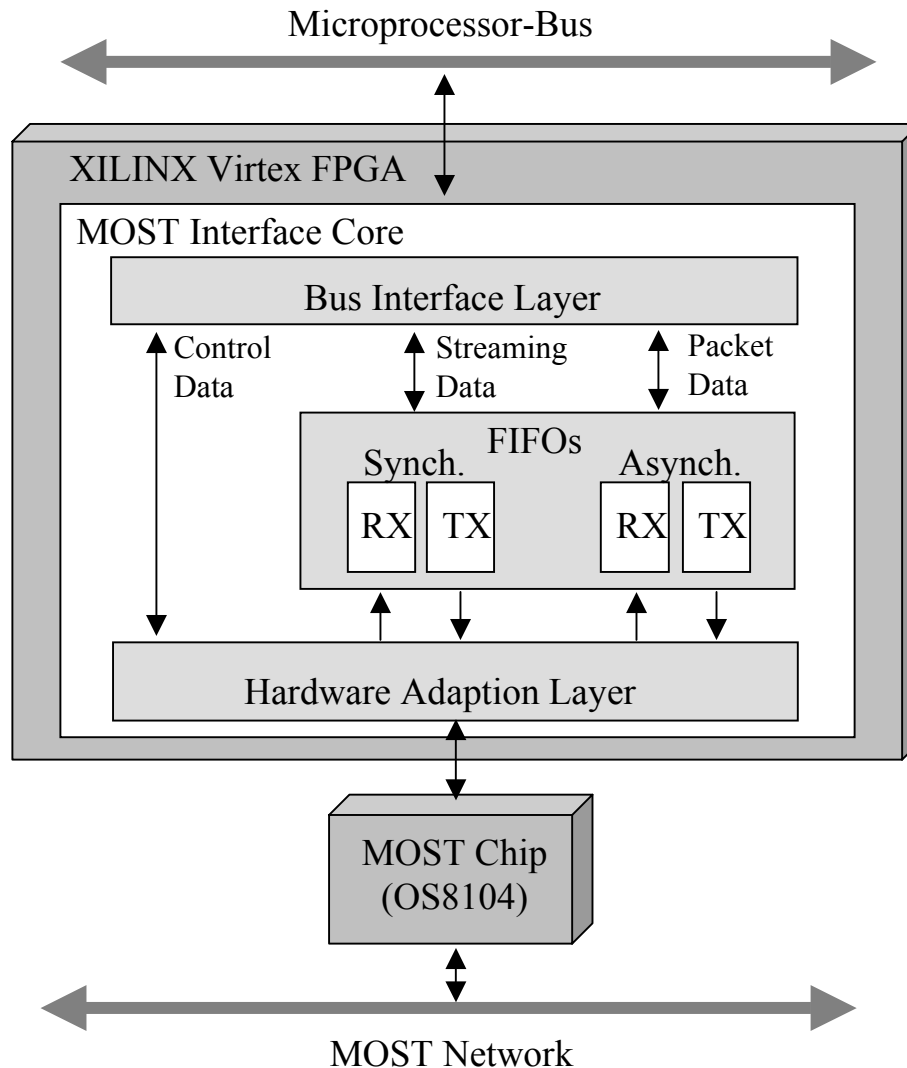


# Demonstration am Beispiel einer „Car Infotainment Plattform“



# Demonstration am Beispiel einer „Car Infotainment Plattform“

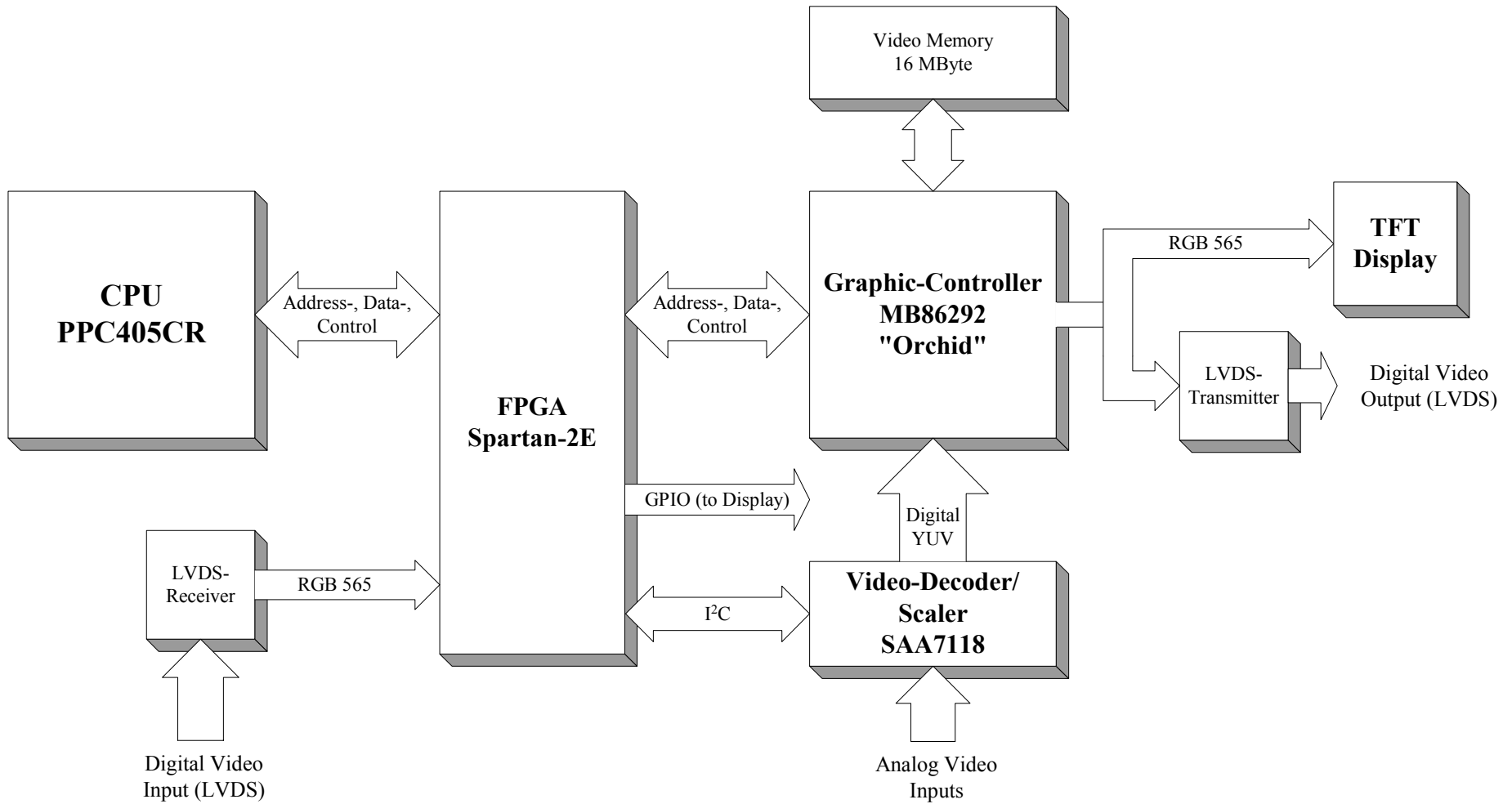


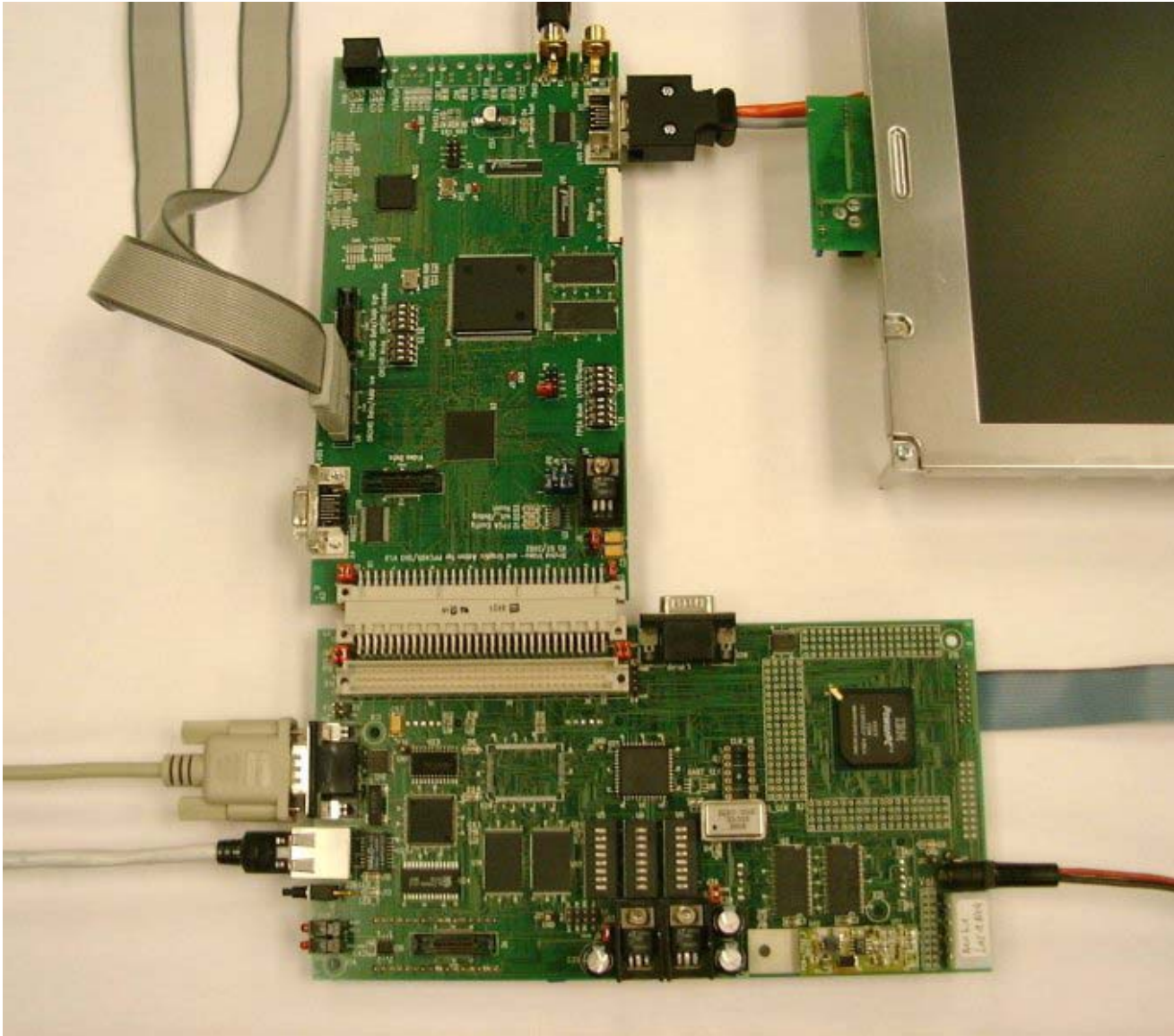


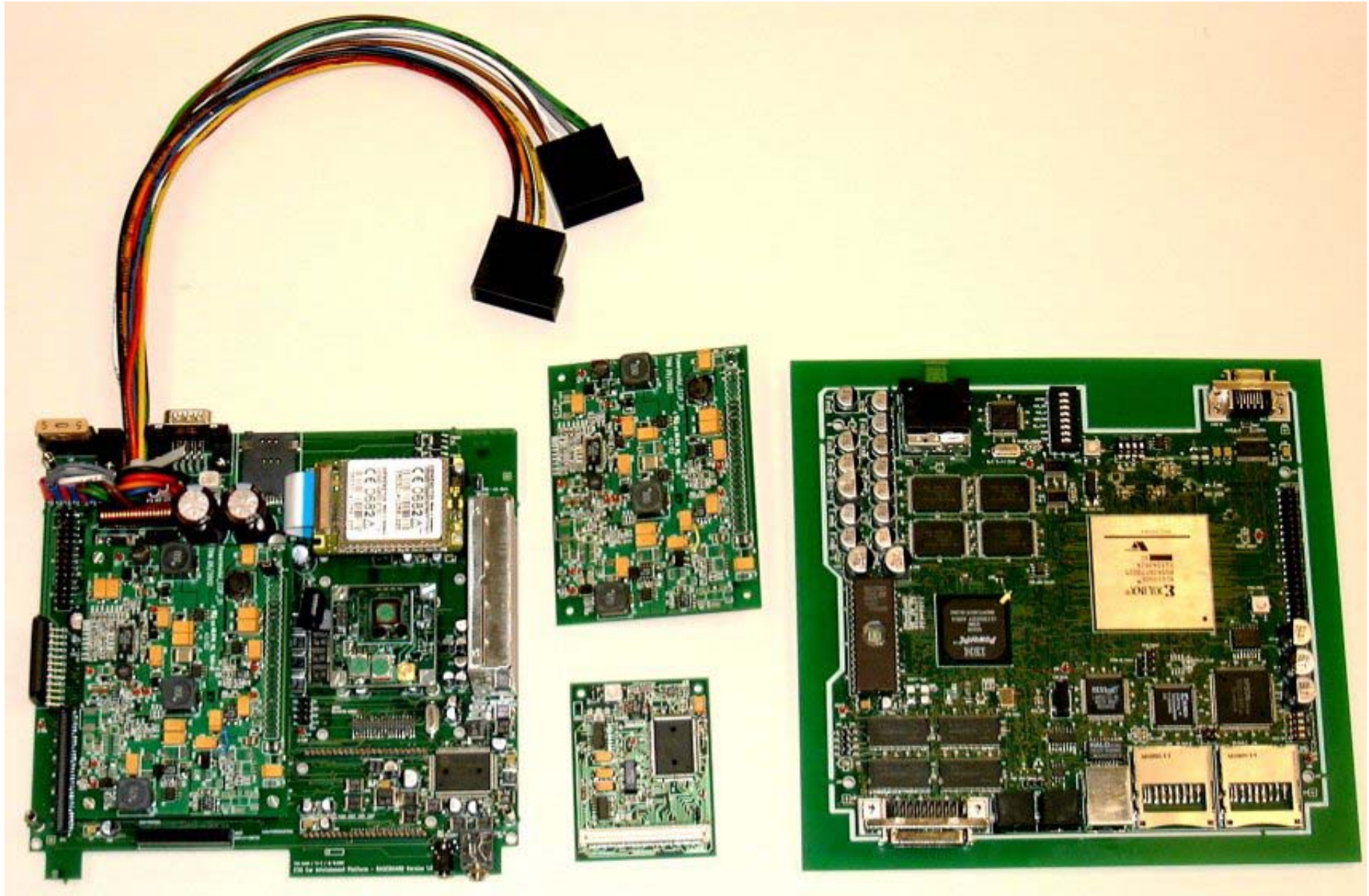
## MOST Interface Core

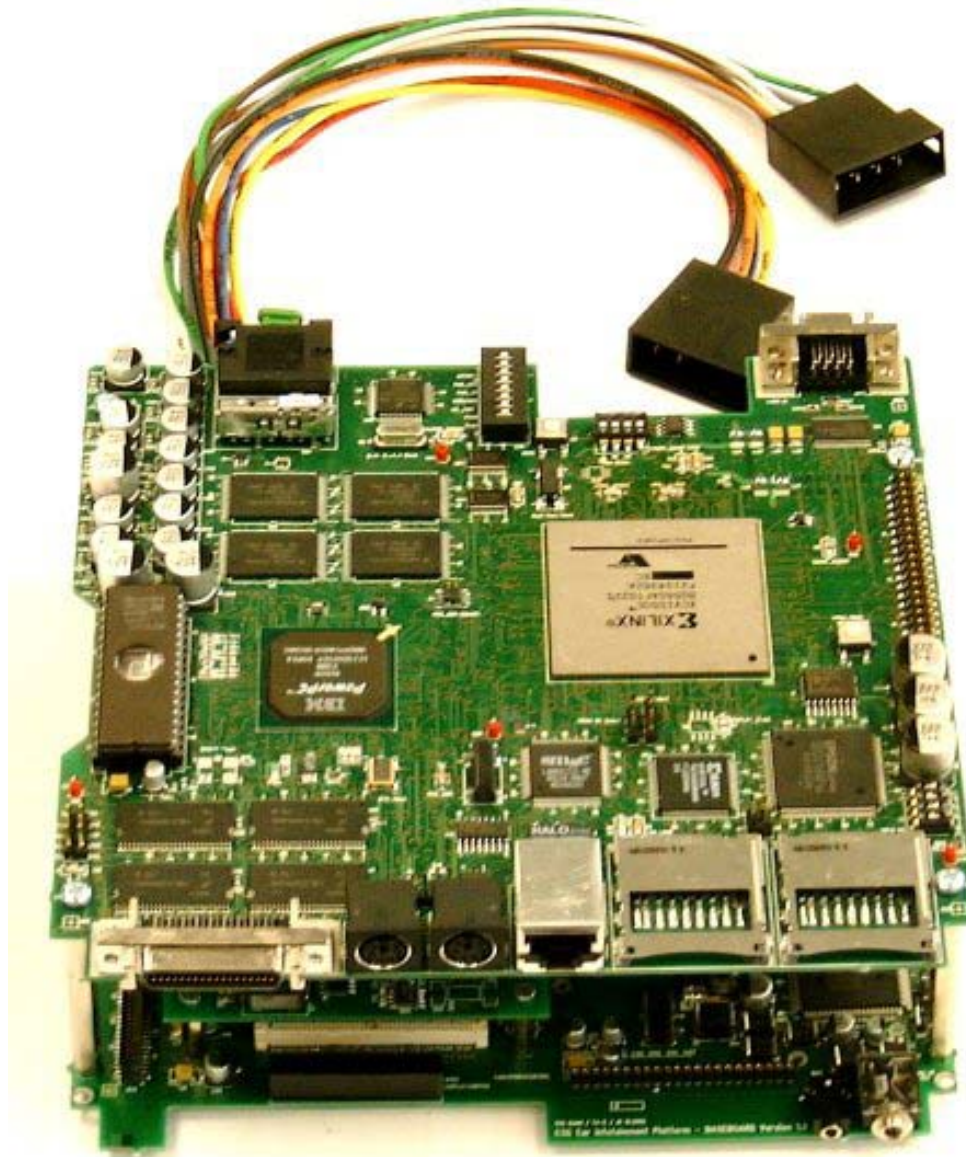
- VHDL Implementation
- connect the Oasis OS8104 MOST Chip to a microprocessor bus
- designed for Parallel Combined Mode
- concurrent streaming and packet data transfer with high bandwidth













- Einführung des Begriffs: Car Infotainment
  - FPGA-Architekturen als Basistechnologie und davon abgeleitete Implementierungsalternativen
  - Entwurfsmethodik für komplexe Eingebettete system
    - Hier: Paralleler Ansatz mit Rapid Prototyping auf SPYDER
    - Tiefer und frühzeitiger Einblick ins Systemverhalten
  - Car Infotainment Plattform Version 1.0
    - Beispiel für ein komplexes eingebettetes System
    - Demonstration der parallelen Entwurfsmethodik
- Systematische Integration zum Gesamtsystem
  - Gesamtsystem ist „letzter Schritt“



- Entwicklung der Version 2.0
  - Integration von PowerPC (333MHz) und FPGA in ein Chip
    - Virtex-II-Pro Plattform FPGA
    - Single Chip – Single Processor System oder
    - Single Chip – Multi Processor System
  - Anwendung der pRTR-Alternative
    - z.B. Austausch von ATA-Core mit SD-Card-Core
    - Ziel: Weitere Erhöhung der Funktionalität pro Chipfläche bei gleichzeitiger Senkung der Systemkosten